

PATENT COOPERATION TREATY

PCT

**NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT**

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

SATOH, Takahisa
SOHSHIN INTERNATIONAL PATENT OFFICE
4F, Miyaki Bldg.
4-2, Yanagibashi 2-chome
Taito-ku, Tokyo 111-0052
Japan

Date of mailing (day/month/year) 06 May 2003 (06.05.03)	
Applicant's or agent's file reference 02/8088-SNY	IMPORTANT NOTIFICATION
International application No. PCT/JP03/03454	International filing date (day/month/year) 20 March 2003 (20.03.03)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 22 March 2002 (22.03.02)
Applicant SONY CORPORATION et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
22 Marc 2002 (22.03.02)	2002-80056	JP	11 Apr 2003 (11.04.03)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 338.70.10	Authorized officer Jutaporn SUNDER (Fax 338 7010) Telephone No. (41-22) 338 9564
--	--

PCT/PTO 03 SEP 2004

20.03.03

日本国特許庁

JAPAN PATENT OFFICE

PCT/JP03/03454

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 3月22日

RECEIVED

11 APR 2003

出願番号

Application Number:

特願2002-080056

WFO PCT

[ST.10/C]:

[JP2002-080056]

出願人

Applicant(s):

ソニー株式会社

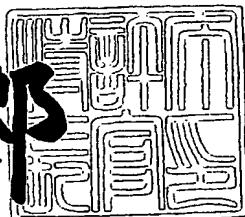
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2002年12月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3099578

【書類名】 特許願
【整理番号】 0290008803
【提出日】 平成14年 3月22日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/312
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 竹内 幸一
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100094053
【弁理士】
【氏名又は名称】 佐藤 隆久
【手数料の表示】
【予納台帳番号】 014890
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707389
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】

有機系の層間絶縁膜に開口部を形成する工程を含む半導体装置の製造方法であ
って、

有機系の層間絶縁膜を堆積する工程と、

当該有機系の層間絶縁膜に開口部を形成する工程と、

前記開口部内で露出した前記有機系の層間絶縁膜の壁面部をシリル化して改質
する工程と

を含む半導体装置の製造方法。

【請求項 2】

シリル化された前記開口部壁面の表面に、無機系絶縁材料からなる保護層を形
成する工程を

さらに含む請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記保護層の形成工程では、シリル化によりシリル化分子を含んだ前記開口部
の内壁面を酸素プラズマにさらして、当該開口部の内壁面を保護する酸化シリコ
ン膜を形成する

請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記シリル化後に、前記開口部を形成した状態で有機系物質を形成し、当該有
機系物質を少なくとも前記開口部内から除去する工程を

さらに含む請求項 1 記載の半導体装置の製造方法。

【請求項 5】

前記開口部は、デュアルダマシンの配線プロセスにおける 2 つの層間絶縁膜を
貫いて形成されたヴィアホールであり、

当該ヴィアホールが形成された状態で、フォトレジストを塗布し、露光し、現
像する工程を経て前記 2 つの層間絶縁膜のうち上層の層間絶縁膜に、前記ヴィア

ホールに連通した配線溝を形成する工程を
さらに含む請求項4記載の半導体装置の製造方法。

【請求項6】

前記2つの層間絶縁膜の間に、前記配線溝の形成のためのエッティング時に、前記2つの層間絶縁膜のうち下層の層間絶縁膜のヴィアホールを保護するエッティングストップ膜を予め形成する工程を

さらに含む請求項5記載の半導体装置の製造方法。

【請求項7】

前記2つの層間絶縁膜のうち、前記配線溝が形成される少なくとも前記上層の層間絶縁膜が有機系の絶縁材料から構成されている

請求項5記載の半導体装置の製造方法。

【請求項8】

前記有機系の層間絶縁膜として、多孔質な有機絶縁膜を形成する

請求項1記載の半導体装置の製造方法。

【請求項9】

有機系の層間絶縁膜に開口部を形成する工程を含む半導体装置の製造方法であって、

シリル化剤を含有した有機系の層間絶縁膜を堆積する工程と、

当該有機系の層間絶縁膜に開口部を形成する工程と、

シリル化剤を含んだ前記開口部の内壁面の表面に無機系絶縁材料からなる保護層を形成する工程と

を含む半導体装置の製造方法。

【請求項10】

前記保護層の形成工程では、シリル化剤を含んだ前記開口部の内壁面を酸素プラズマにさらして、当該開口部の内壁面を保護する酸化シリコン膜を形成する

請求項9記載の半導体装置の製造方法。

【請求項11】

重ねて積層された2つの有機系の層間絶縁膜を有し、当該2つの有機系の層間絶縁膜のうち下層の層間絶縁膜にヴィアホールが開口され、上層の層間絶縁膜に

前記ヴィアホールに連通した配線溝が開口され、当該配線溝と前記ヴィアホールに導電材料が埋め込まれた配線構造を有した半導体装置であって、

前記2つの層間絶縁膜のうち下層の層間絶縁膜の前記ヴィアホールの内壁部分に、シリル化分子を含む層と、当該シリル化分子を含む層のヴィアホール内壁表面部分に形成され無機系絶縁物質からなる保護層とを有する半導体装置。

【請求項12】

前記保護層が酸化シリコンからなる

請求項11記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、比誘電率が無機系の絶縁材料より低くできる有機系の層間絶縁膜に開口部を形成する工程を含む半導体装置の製造方法と、いわゆるデュアルダマシン構造の配線構造を有した半導体装置とに関する。

【0002】

【従来の技術】

半導体回路の高速化、低消費電力化の要求から、配線材料に銅が用いられるようになっている。銅をエッチングすることが困難なことから、層間絶縁膜に配線溝およびヴィアホールを形成してから、そこに銅を同時に埋め込むデュアルダマシン法が多く採用されている。デュアルダマシン法は、先にヴィアプラグを彫り込む先ヴィアタイプと、先に配線溝を彫り込む先溝タイプに大別される。

【0003】

以下、先ヴィアタイプのデュアルダマシン構造の形成方法を説明する。

図14～図21は、従来の先ヴィアタイプのデュアルダマシン構造の形成方法を示す断面図である。なお、これら図では、配線層上にさらに、ヴィアホールと配線層を一括形成する場合を例示するが、半導体基板の上にヴィアホールと配線層を一括形成する場合も基本的なプロセスは同じである。

【0004】

図14に示すように、配線層102が既に形成された第1層間絶縁膜101上に、エッティングストップ膜103、第2層間絶縁膜104、エッティングストップ膜105、第3層間絶縁膜106、ハードマスク膜107を順次積層する。

図15に示すように、リソグラフィ技術およびドライエッティング技術を用いて、最下層のエッティングストップ膜103が露出するまで、その上のハードマスク膜107、第3層間絶縁膜106、エッティングストップ膜105、第2層間絶縁膜104を部分的にエッティングし、ヴィアホールVHを形成する。

図16に示すように、エッティングストップ用に樹脂108を全面に塗布して、ヴィアホールVHに埋め込む。このとき、ヴィアホールVHの側壁が完全に樹脂108で覆われる。

【0005】

図17に示すように、レジストRを塗布し、リソグラフィ技術を用いて、これに溝状の配線パターンRPを転写する。

図18に示すように、レジストRをマスクに、ヴィアホールVHの上面および側壁に薄く着いた樹脂108、ハードマスク膜107、第3層間絶縁膜層106をドライエッティングし、配線パターンの溝CGを刻む。

このとき、ヴィアホールVHの底に樹脂108bが残り、これがハードマスク膜107、第3層間絶縁膜106のエッティングにおけるストップの役目を果たし、その下のエッティングストップ膜103が掘られて、ヴィアホールVHより下方の配線層（あるいは、基板）が損傷するのを防ぐ。通常、エッティングストップ膜103は薄い。そのため、エッティングストップ膜103は、ハードマスク膜107、第3層間絶縁膜106のエッティング時のストップとしては不十分であり、樹脂108bからなるエッティングストップが必要である。

【0006】

つぎに、図19に示すように、レジストRおよび樹脂108a、108bを酸素アッシングにより除去する。

図20に示すように、全面ドライエッティングによりエッティングストップ膜103、105の露出部分を除去する。このとき、上面のハードマスク膜107の一部が削られ、より薄いハードマスク膜107'が残る。

【0007】

ヴィアホールVHおよび配線溝CGの内壁に、バリアメタル層109、銅メッキシード層を薄く形成し、メッキ法により銅110を埋め込む。その後、上面の余分な銅をCMP (Chemical Mechanical Polishing) 法を用いて除去する。このとき、ハードマスク膜107'が、銅のCMP工程での研磨ストップとして機能する。ハードマスク膜107'は、最終的には、銅の場合と別条件のCMP工程で除去する。

以上により、図21に示すように、バリアメタル層109と銅110からなる銅配線のデュアルダマシン構造が完成する。

【0008】

ところで、配線遅延の低減のため、層間絶縁膜には有機系の低比誘電率膜が提案されている。

【0009】

【発明が解決しようとする課題】

しかし、第2および第3層間絶縁膜104および106に有機系膜を用いると、埋め込み樹脂108およびレジストRも有機系膜であるため、埋め込み樹脂108、レジストRを剥離する図18～図19の工程等で有機系の第2および第3層間絶縁膜104、106のヴィアホール内壁部分が変質し、または削れてしまう。このため、図21の工程で、このヴィアホール内壁部分にバリアメタル層109を良好に形成することが出来ない。その結果、銅110を埋め込んだときに、銅110が第2および第3層間絶縁膜104に拡散し、あるいはヴィアホールVHに埋め込んだ銅110の中にボイドが発生し、これらがデバイスの電気的特性を低下させてしまう。

また、この層間絶縁膜104および106の削れ量が大きいと、リソグラフィ工程での線幅エラーとなる、当該配線と他の配線との距離が確保できない、あるいは、それらの位置合わせエラーが生じるなど種々の問題が発生する。

【0010】

本発明の目的は、既に形成した有機系の層間絶縁膜の開口部を保護することができる工程（または構造）を含む半導体装置の製造方法と、半導体装置とを提供

することにある。

【0011】

【課題を解決するための手段】

本発明の第1の観点にかかる半導体装置の製造方法は、前記目的を達成するためのものであり、有機系の層間絶縁膜に開口部を形成する工程を含む半導体装置の製造方法であって、有機系の層間絶縁膜を堆積する工程と、当該有機系の層間絶縁膜に開口部を形成する工程と、前記開口部内で露出した前記有機系の層間絶縁膜の壁面部をシリル化して改質する工程とを含む。

好適に、シリル化された前記開口部壁面の表面に、無機系絶縁材料からなる保護層を形成する工程をさらに含む。

また、前記シリル化後に、前記開口部を形成した状態で有機系物質を形成し、当該有機系物質を少なくとも開口部内から除去する工程をさらに含む。

【0012】

さらに、好適に、前記有機系の層間絶縁膜として、多孔質な有機絶縁膜を形成する。

【0013】

本発明の第2の観点に係る半導体装置の製造方法は、前述した目的を達成するためのものであり、有機系の層間絶縁膜に開口部を形成する工程を含む半導体装置の製造方法であって、シリル化剤を含有した有機系の層間絶縁膜を堆積する工程と、当該有機系の層間絶縁膜に開口部を形成する工程と、シリル化剤を含んだ前記開口部の内壁面の表面に無機系絶縁材料からなる保護層を形成する工程とを含む。

【0014】

これら第1および第2の観点に係る半導体装置の製造方法によれば、有機系の層間絶縁膜に開口部が形成された以後に、他の有機系材料が当該開口部に入り、それを除去するような工程がある場合でも、有機系材料のエッティングからシリル化により改質された開口部内壁部分でエッティング有機系層間絶縁材料のエッティングが進まない。たとえば、その後のフォトレジストプロセスでシリル化していないレジストを除去する場合に、シリル化した部分が開口部を保護するため、形状

がくずれない。

有機系の層間絶縁膜として多孔質な有機絶縁膜を用いた場合は、シリル化剤が拡散しやすい。また、最初から層間絶縁膜にシリル化剤を含有させておくと、シリル化の工程が要らない。

【0015】

本発明の第3の観点にかかる半導体装置は、前述した目的を達成するためのものであり、重ねて積層された2つの有機系の層間絶縁膜を有し、当該2つの有機系の層間絶縁膜のうち下層の層間絶縁膜にヴィアホールが開口され、上層の層間絶縁膜に前記ヴィアホールに連通した配線溝が開口され、当該配線溝と前記ヴィアホールに導電材料が埋め込まれた配線構造を有した半導体装置であって、前記2つの層間絶縁膜のうち下層の層間絶縁膜の前記ヴィアホールの内壁部分に、シリル化分子を含む層と、当該シリル化分子を含む層のヴィアホール内壁表面部分に形成され無機系絶縁物質からなる保護層とを有する。

【0016】

この半導体装置では、前記下層の層間絶縁膜のヴィアホール内壁部分にシリル化分子を含む層と保護層とが形成されているため、その形状が崩れていない。その結果、導電材料が良好に埋め込まれ、ボイド等が発生していない。また、このような配線構造が複数ある場合、配線間あるいは配線とヴィアホール部分の相互距離が一定に保たれている。

【0017】

【発明の実施の形態】

【第1実施形態】

図1は、本発明の実施形態に係る半導体装置の配線構造の断面図である。ここでは、配線層上にさらに、ヴィアホールと配線層が一体となったデュアルダッシュ構造の配線パターンを形成する場合を例示する。

第1層間絶縁膜1中に導電材料が埋め込まれて下層配線層2が形成されている。第1層間絶縁膜1上に、エッティングストップ膜3、第2層間絶縁膜4、エッティングストップ膜5、第3層間絶縁膜6、ハードマスク膜7が順次積層されている。

エッチングストップ膜3と第2層間絶縁膜4にヴィアホールが形成されている。ヴィアホールは、孤立した略円形あるいは短い溝状の上面視パターンを有し、長い下層配線層2に対し適宜必要な箇所に設けられている。

エッティングストップ膜5と第3層間絶縁膜6に、ヴィアホールより一回り大きな幅の配線溝が形成されている。配線溝は、ヴィアホール上を通過する所定のパターンにて形成されている。

これら配線溝とヴィアホールの内壁にバリアメタル層9が形成され、バリアメタル層9を介して配線溝内とヴィアホール内に、銅10が埋め込まれている。これにより、デュアルダマシン構造が形成されている。

【0018】

本実施形態のデュアルダマシン構造では、特に第2層間絶縁膜4と第3層間絶縁膜が共に、有機系の層間絶縁材料、好ましくは、二酸化シリコンなどの通常の無機系の層間絶縁材料より低い比誘電率の有機系絶縁材料から構成されている。

そして、本実施形態の特徴的な点であるが、とくに下層の第2層間絶縁膜4のヴィアホール側面部分に、シリル化層またはシリル化剤拡散層4aと、シリル化層の表面を反応させてできた無機系の絶縁材料からなる保護層4bとが形成されている。保護層4bの材質は、シリル化層またはシリル化剤拡散層4aと酸素を反応させて生成した酸化シリコンが例示される。

なお、後述する製造方法の例によれば、第3層間絶縁膜6に形成されたヴィアホール形成時の孔にも、その内壁に同じようにシリル化層またはシリル化剤拡散層と保護層が形成されるが、これらは配線溝形成時に除去されるので、完成したデュアルダマシン構造には現れない。

保護層4bを設けた理由は、後述する製造方法において述べる。

【0019】

つぎに、このデュアルダマシン構造の形成方法について、図面を参照して説明する。

図2～図10は、本実施形態に係る半導体装置の製造途中の断面図である。

【0020】

素子が形成された半導体基板（不図示）上、必要に応じて第1層間絶縁膜1に

埋め込まれた下層配線層2を形成する。この下層配線層2は、これから説明するデュアルダマシンプロセスによって形成してもよいが、ここでは、本発明の実施形態を、その上に形成される配線層において説明する。

第1層間絶縁膜1上に、エッチングストップ膜3、第2層間絶縁膜4、エッチングストップ膜5、第3層間絶縁膜6、ハードマスク膜7をCVD (Chemical Vapor Deposition) 法または回転塗布法により順次形成する。

【0021】

第2および第3層間絶縁膜4、6としては、低比誘電率の有機系層間絶縁膜が望ましい。

低比誘電率の有機系層間絶縁膜として、メチル基含有SiO₂膜、ポリイミド系高分子膜、パリレン系高分子膜、テフロン（登録商標）系高分子膜、ポリアリルエーテル系高分子膜、フッ素をドープしたアモルファスカーボン膜のいずれかを用いる。具体的に、メチル基含有SiO₂として、JSR社製の「LKD-T400（商品名）」を用いることができる。ポリアリルエーテル系高分子材料としては、たとえば、The Dow Chemical社製の「SILK（商標名）」、あるいは、Honeywell Electronic Material社製の「FLARE（商標名）」を用いることができる。

エッチングストップ膜3、5およびハードマスク膜7の材質は、層間絶縁膜材料に対してエッチング選択比が高い材料が用いられる。また、特にハードマスク膜7は、銅のCMP (Chemical Mechanical Polishing) のストップとしての役目があり、その観点も考慮して材料が選択される。

たとえば、有機系の低比誘電率絶縁材料としてポリアリルエーテル系樹脂が選択された場合、エッチングストップ膜3、5およびハードマスク膜7の材質としては、窒化シリコンが好適である。

【0022】

この積層膜形成の具体例は、例えば次のとくである。

まず、エッチングストップ膜3として、SiN膜をCVD法により50nmほ

ど形成する。第2層間絶縁膜4として、比誘電率が2.6のポリアリルエーテル系樹脂を回転塗布し、130℃、90秒の基板加熱により溶剤をとばして最終膜厚を350nmにする。また、基板を300℃で1時間ほど加熱し、第2層間絶縁膜4をキュアする。つぎに、エッティングストップ膜5として、SiN膜をCVD法により50nmほど形成する。第3層間絶縁膜6として、比誘電率が2.6のポリアリルエーテル系樹脂を回転塗布し、130℃、90秒の基板加熱により溶剤をとばして最終膜厚を250nmにする。また、基板を300℃で1時間ほど加熱し、第3層間絶縁膜6をキュアする。最後に、ハードマスク膜7として、SiN膜をCVD法により120nmほど形成する。この例では、ハードマスク膜7とエッティングストップ膜5は同じ材質(SiN)なので、ハードマスク膜7の厚さは、エッティングストップ膜厚を差し引いても、ヴィアホール形成時のマスク、あるいは銅のCMP時のハードマスクとして十分な膜厚が残るように厚めに設定される。エッティングストップ膜5の厚さが50nmの場合、ハードマスク膜7としては120nm程度あれば十分である。

【0023】

図3に示すように、この積層した膜3～7に、リソグラフィ技術、ドライエッティング技術を用いて、ヴィアホールVHを形成する。

【0024】

ヴィアホール形成の具体例は、例えば次のとくである。

ハードマスク膜7の上に、有機系の反射防止膜を形成し、その上に、アセタール系の化学增幅型レジストを塗布する。例えばKrFエキシマレーザー露光機を用いて、ヴィアホールのパターンをレジストに転写し、現像してパターニングする。KrFエキシマレーザー露光を用いた場合、例えば直径180nmのホールを最小ピッチ360nmで形成できる。

その後、このレジストパターンをマスクにした反応性イオンエッティング(RIE)により、ハードマスク膜7、第3層間絶縁膜6、エッティングストップ膜5、第2層間絶縁膜4を、エッティングガスを順次切り替えながら連続してエッティングする。例えば、ハードマスク膜7のエッティング時にはCHF₃とArとO₂の混合ガスを用い、第3層間絶縁膜6のエッティング時にはNH₃とH₂の混合ガスを

用い、エッティングストップ膜5のエッティング時にはC₅F₈とCH₂F₂とArとO₂の混合ガスを用い、第2層間絶縁膜4のエッティング時にはNH₃とH₂の混合ガスを用いることができる。レジスト材料および塗布条件にもよるが、前記した直径およびピッチの微細ホールのエッティングでは、第3層間絶縁膜6のエッティング時にレジストおよび有機系反射防止膜もエッチオフされる。レジスト等がエッチオフされた後のエッティングでは、最上層のハードマスク膜7がエッティングマスクとして機能する。

これにより、ヴィアホールVHが形成される。

【0025】

図4では、第2および第3層間絶縁膜4、6の露出面にシリル化層またはシリル化拡散層4aを形成する。

シリル化の方法には、有機系層間絶縁膜4、6にヴィアホールVHを形成した基板を、シリル化剤の蒸気にさらす気相シリル化レジストプロセスと、シリル化剤を含む溶液に浸す方法がある。

気相シリル化レジストプロセスでは、ヘキサメチルジシザラン(HMDS)、ジメチルシリルジメチルアミン(DMS DMA)、トリメチルジシラザン(TMDS)、トリメチルジメチルアミン(TMS DMA)、ジメチルアミノトリメチルシラン(TMSD EA)、ヘプタメチルジシラザン(HeptaMDS)、アリルトリメチルシラン(ATMS)、ヘキサメチルジシラン(HMD Silane)、ビス[ジメチルアミノ]メチルシラン(B [DMA] MS)、ビス[ジメチルアミノ]ジメチルシラン(B [DMA] DS)、ヘキサメチルシクロトリシラザン(HMCTS)、あるいはジアミノシロキサン等のシリル化剤の蒸気を用いることができる。

また、シリル化剤を含む溶液としては、例えば、上述したいずれかのシリル化剤をキシレン等の溶媒にとかし、さらに2-メチルピロリドンを反応触媒として添加した溶液を用いることができる。

【0026】

ところで、有機系層間絶縁膜4、6は、通常、吸湿しないように高温で加熱し、OH基をなるべく除去するように処理されている。しかし、耐熱性の問題から

あまり高温で長く熱処理できず、完全にOH基が除去されていないのが普通である。また、ヴィアホールVHの形成後の内壁は、エッチング後の洗浄液、または大気にさらさるために、高分子化合物の末端にOH基が結合している場合が多い。前記シリル化プロセスでは、このOH基とシリル化剤とを反応させて、ホール内壁にシリル化層を形成する。また、OH基以外にも、表面の酸素の未結合手-O-と反応してシリル化層が形成される場合もある。

この意味では、シリル化促進のために、性能をあまり劣化させない程度に、有機系層間絶縁膜4、6を通常より低い温度で加熱し、または通常より短い時間だけ加熱し、残留OH基を増やしてもよい。

【0027】

このように形成されたシリル化層のほかに、シリル化層からシリル化剤が拡散してできたシリル化剤の拡散層、あるいは、シリル化した高分子と、拡散したシリル化剤が混在する層が生成される場合がある。この場合、図4の符号4a、6aにより示す層は、これらの層の何れかを、あるいは異なる態様の層を一括して示すものである。

【0028】

シリル化の具体例は、例えば次のとくである。

シリル化処理のチャンバー内で、基板をホットプレート上に置いて250℃で加熱しながら、チャンバー内に導入した75 Torrのシリル化剤、例えばDMSDMAの蒸気に120秒間さらす。この条件では、図4に示すように、有機系の第2および第3層間絶縁膜4、6のホール露出内壁に、シリル化高分子と、拡散したシリル化剤の混合層4a、6aが約30nmほどの厚さだけ形成される。

【0029】

このように基板をシリル化剤の蒸気にさらす方法では、レジスト塗布前の密着性向上のためのHMD S処理を使うチャンバーと同様なものを用いればよい。したがって、従来のコータディベロッパー等の装置構成をそのままで、あるいは一部ユニットを付加したものを用いて容易にシリル化を実現できる。

また、基板をシリル化溶液に浸す方法では、一般に使用されているバッチ式あるいは枚葉式の薬液処理装置を用いることができる。したがって、従来の装置を

流用してシリル化を容易に実現できる。

【0030】

図5の工程では、シリル化層またはシリル化剤が拡散した層4a, 6aの表面部を、例えば酸化シリコンに変化させて保護層4b, 6bを形成する。保護層4b, 6bが酸化シリコンからなる場合、基板を酸素プラズマにさらすだけでよく、通常使用されるドライアッキング装置、ドライエッティング装置を用いることができる。基板を酸素プラズマにさらすときは、シリル化層またはシリル化剤が拡散した層4a, 6aの表面をスパッタしないように、酸素プラズマのエネルギーをある程度低く設定して処理するのが望ましい。

【0031】

保護層形成の具体例は、例えば次のとくである。

ドライエッティング装置として、Transfer Coupled plasmaエッティング装置を用いて基板を酸素プラズマ処理する。そのときの条件として、例えば、O₂ガスの流量30 sccm、圧力5 mTorr、上部RFパワー20W、下部RFパワー5Wとして生成された酸素プラズマに、基板温度-10°Cとして20秒間基板をさらす。これにより、シリル化高分子またはシリル化剤と酸素が反応して、図5に示すように、第2および第3層間絶縁膜4、6のホール内壁表面に、酸化シリコン層4b, 6bが、それぞれ約8nmほどの厚さだけ形成される。

【0032】

図6の工程では、まず、ヴィアホール底部のエッティング保護用に有機膜8を形成する。

有機膜8として、有機系反射防止膜を用うことができる。この場合、有機系反射防止膜8を回転塗布したときのヴィアホール底部における埋め込み高さは、中間のエッティングストップ膜5の高さより低い程度でよく、その上方のヴィアホール側面が薄く有機系反射防止膜8で被覆されるとよい。

【0033】

続いて、配線溝用のレジストパターンRを形成する。

【0034】

レジスト形成の具体例は、例えば次のとくである。

化学増幅型ネガレジストRを、有機系反射防止膜8上に530nmほどの厚さとなるように塗布して、KrFエキシマレーザー露光機で配線溝のパターンを転写し、現像する。これにより、ヴィアホールの径と同じか一回り大きい幅の配線溝パターンのレジストRがハードマスク膜7の上方部分に形成される。ここでは、配線溝パターンの最小幅はヴィアホールの径と同じ180nmであり、その最小ピッチは360nmである。

【0035】

配線溝のリソグラフィ工程において線幅規格、位置合わせ規格から外れた場合は、有機系反射防止膜8およびレジストRを剥離して、再度、有機系反射防止膜およびレジストを塗布する。有機系反射防止膜8およびレジストRの剥離では、酸素プラズマアッティング後に洗浄液で洗浄する。

酸素プラズマアッティングでは、例えばダウンフロー型アッシャーを用い、O₂（流量：1700sccm）と、バッファガスとしてH₂とN₂の混合ガス（流量：400sccm）とをガス圧1.5Torrでチャンバー内に流し、RFパワー1700W、基板温度200°Cで90秒間処理する。このとき、第2および第3層間絶縁膜4、6のホール内端面が保護層4b、6bに守られて保護される。

その後の洗浄では、一般的に用いられているRCA洗浄法を用い、例えば、SC-1洗浄液（NH₄OHとH₂O₂とH₂Oの混合液）およびSC-2洗浄液（HClとH₂O₂とH₂Oの混合液）を用いる。

【0036】

図7の工程では、形成したレジストRをマスクに有機系反射防止膜8をエッティングする。このとき、ヴィアホールVHの内壁の中腹から上部にかけて薄っすらと付いていた有機系反射防止膜部分が除去され、有機系反射防止膜8が、レジストR直下の部分8aと、ヴィアホール底部の部分8bとに分離される。

【0037】

続く図8の工程では、レジストRをマスクとしたドライエッティングにより、配線溝パターン内に露出したハードマスク膜7の部分を除去する。ハードマスク膜

7が塗化シリコンの場合、このドライエッティングではCHF₃とArとO₂の混合ガスを用いる。

【0038】

この状態で、エッティングガスを切り替えて配線溝形成のためのドライエッティングを行う。

【0039】

このエッティングの具体例は、例えば次のとくである。

まず、C₅F₈とArとO₂の混合ガスを用いたエッティングにより、第3層間絶縁膜6のホール内壁部分の保護層（酸化シリコン膜）6bと、シリル化高分子および拡散したシリル化剤の混合層6aとをエッティングする。続いて、有機系絶縁材料のエッティングガスに切り替えてレジストRをマスクとしたエッティングを行い、配線溝パターンを第3層間絶縁膜6に転写する。レジストRおよび有機系反射防止膜8aは第3層間絶縁膜6と同じ有機系材料からなるので、レジストの膜厚や配線溝深さにもよるが、これらの膜R、8aは、通常、第3層間絶縁膜6のエッティング時に除去される。レジストRが除去された後は、中間のエッティングストップ膜5がヴィアホールVHの保護層として機能する。このエッティング後の断面を、図9に示す。

【0040】

なお、この第3層間絶縁膜6のエッティング時にレジストRがエッチオフされない場合、あるいは、当該エッティングおよびその前の保護層6b等のエッティング時にヴィアホールVHの形状が崩れないほどエッティング終点の制御性が高い場合は、中間のエッティングストップ5は不要であり、図2の工程で、その形成ステップを省略可能である。また、図9のエッティング終了時点でビアホール底部の有機系反射防止膜部分8bが少しでも残る場合は、最下層のエッティングストップ膜3も省略可能である。また、逆に、最下層のエッティングストップ膜3が十分に厚い場合は、反射防止膜等の有機物質をヴィアホールに埋め込む工程は省略可能である。

【0041】

これらのエッティングストップ膜3、5を有した図示例の場合、次の図10に示

す工程が必要である。つまり、ヴィアホール底面のエッチングストップ膜3部分、および配線溝底面のエッチングストップ膜5部分を全面エッチングにより除去する。

【0042】

この全面エッチングの具体例は、例えば次のとくである。

これらエッチングストップ膜3、5が窒化シリコンからなる場合、 C_5F_8 と CH_2F_2 とArと O_2 の混合ガスを用いた全面エッチング（エッチバック）を行い、これらのエッチングストップ膜3、5をヴィアホール内や配線溝内で除去する。このとき、同じ材料からなるハードマスク膜7の厚みが減少し、初期厚より薄い膜7'となる。

【0043】

その後は、基板を洗浄後、ヴィアホールおよび破線溝の内壁にバリアメタル層、銅のメッキシード膜を形成し、メッキ技術を用いて銅をヴィアホールおよび配線溝に一括して埋め込む。そして、CMP技術を用いて、上面の余分な銅を除去する。このとき、ハードマスク膜7'がCPMの終点ストップとして機能する。その後、ハードマスク膜7'を除去すれば、図1に示すデュアルダマシンの銅配線構造が完成する。

なお、ハードマスク膜7'がなくても銅のCPMの終点制御性が高く、さらに図3のヴィアホールのエッチングおよび図9の配線溝のエッチング時にレジストがエッチオフされない場合は、このハードマスク膜7'は最初から省略することができる。

【0044】

本実施形態では、第2および第3層間絶縁膜4、6のヴィアホール内壁部をシリル化して保護層4b、6bを形成するため、第2および第3層間絶縁膜4、6が低比誘電率の有機系絶縁材料からなる場合でも、レジスト等の有機系材料の剥離工程や他の有機系絶縁材料のエッチング時に、ヴィアホール内壁がアタックされないため、良好なホール形状が最後まで維持できる利点がある。そのため、バリアメタル層9を良好に形成でき、銅10の埋め込み時に銅10が層間絶縁膜4、6内に拡散せず、またヴィアホール部分に銅10のボイドが発生しない。さら

に、配線間あるいは配線とヴィアホール部分の相互距離が一定に保たれている。結果として、当該多層配線構造を用いた半導体デバイスの電気的特性が良好である。

シリル化工程は、シリル化剤の蒸気あるいは溶液に基板をさらすだけなので、従来の処理装置がそのまま、あるいは一部変更して使用でき、またプロセス上の大幅なコスト増要因とならない。

デュアルダマシンの銅配線構造と低比誘電率の有機系層間絶縁膜との組み合わせにより、高度に集積化され、しかも消費電力が低く、かつ高速に動作する半導体装置が容易に、低成本で製造できる。

【0045】

[第2実施形態]

第1実施形態の変更例として、ヴィアホールが形成される第2層間絶縁膜4を、無機系絶縁材料から構成させることができる。

図2の工程で、有機系絶縁材料からなる第2層間絶縁膜4に代えて、無機系絶縁材料、例えば酸化シリコンから第2層間絶縁膜を形成させる。この無機系の第2層間絶縁膜を、以後の説明および図面において、符号40で表記する。

有機系のエッティング条件から無機系のエッティング条件に切り替えながらヴィアホールVHの形成を図3と同様に行い、続く図4および図5の工程で、有機系層間絶縁膜のシリル化と保護層の形成を行う。

【0046】

図11は、第2実施形態における、この保護層形成後の断面図である。

第2層間絶縁膜40は無機系なので、シリル化はされず、したがって保護層も形成されない。第2層間絶縁膜40の材料自体が、有機系材料のエッティング時に殆ど削れない無機系材料なので保護層の形成の必要がない。一方、有機系の第3層間絶縁膜6のヴィアホール内壁には、第1実施形態と同様に、シリル化層またはシリル化剤の拡散層6aと保護層6bが形成されている。

【0047】

以後、第1実施形態と同様に、有機物（例えば、有機系反射防止膜）のヴィアホール内埋め込み工程、配線溝の形成工程を行い、銅でヴィアホールと配線溝を

一括して埋め込んで当該銅配線構造を完成させる。

図12は、配線溝形成後の断面図である。また、図13は、完成した銅配線構造の断面図である。

第2実施形態では、上層の第3層間絶縁膜6側にのみ、シリル化層あるいはシリル化剤の拡散層6aと保護層6bが形成されるが、これらは配線溝のエッティング時に除去され(図12)、完成後の配線構造(図13)には現れない。

【0048】

しかし、本実施形態では途中まで上層の第3層間絶縁膜6側のホール側壁が保護されているので、配線溝のフォトリソグラフィ時のレジスト形成のやり直しを何度も行っても、ホール上部の形状がくずれることがないという利点がある。とくに、配線溝パターン幅と、その下のヴィアホールの径とがほぼ等しいボーダレスコンタクト構造を採用した場合、レジスト剥離等でホール上部の形状がくずれると、これがそのまま配線のパターン崩れとなってしまうが、本実施形態では、必要な時点まで第3層間絶縁膜6のホール内壁が保護層6bにより保護されているので、このようなパターン崩れの問題は有効に回避できる。

とくにヴィアホール部分のパターン崩れ防止は、最終的な配線間あるいは配線とヴィアホール間の相互距離の変動に有効であり、また、銅埋め込み時のボイドは径が小さいヴィアホール部分で問題となることから、本実施形態のように下層の層間絶縁膜4のヴィアホール内壁保護のみでも第1実施形態と同様な効果が得られる。

【0049】

一方、配線間容量の低減に関し、本実施形態では、第3層間絶縁膜6が低比誘電率の有機系絶縁材料からなるので、少なくとも配線間の結合容量は低減でき、無機層間絶縁膜のみを用いた場合に比べ高速で、低消費電力の半導体装置を良好に製造できる利点がある。

【0050】

〔第3実施形態〕

上述した第1または第2実施形態において、有機系層間絶縁膜を多孔質(ポーラス)な膜から構成させると、シリル化剤の拡散が進み、シリル化層またはシリ

ル化剤の拡散層が容易に形成できる。

【0051】

このポーラス膜形成の具体例は、次のとくである。

図2の第3層間絶縁膜6（および第2層間絶縁膜4）として、多孔質タイプのポリアリルエーテル系樹脂を用いる。空孔が多いので、図4のシリル化工程でシリル化剤が容易に拡散し、ホール内壁に、より安定したシリル化剤拡散層、シリル化層および酸化シリコン膜（保護層）が形成される。

多孔質タイプのポリアリルエーテル系樹脂の層間絶縁膜は、溶剤にポリアリルエーテル系高分子、有機オリゴマーを溶かした液体材料を基板に回転塗布し、130°Cで90秒間基板を加熱して溶剤を飛ばし、その後、基板を300°Cで1時間ほど加熱してキュアする。キュアの加熱のとき、有機オリゴマーが熱分解して微細な空孔が多数できる。

続くシリル化処理では、チャンバー内のホットプレート上に基板を置いて250°Cで加熱しながら、基板を50 Torr流量でチャンバー内に流したシリル化剤DMS DMAの蒸気に90秒間だけさらす。これにより、有機系層間絶縁膜のホール内壁部にシリル加工分子と拡散したシリル化剤の混合層が、第1実施形態より厚く、例えば約30 nmほど形成される。

その後、第1実施形態と同様にして、酸素プラズマ処理により酸化シリコンからなる保護層を形成する。

【0052】

【第4実施形態】

上述した第1または第2実施形態において、有機系層間絶縁膜全体に最初からシリル化剤を添加したもの用いることができる。これにより、図4のシリル化工程は不要となる。

【0053】

このシリル化剤が含有した有機系層間絶縁膜形成の具体例は、次のとくである。

図2の第3層間絶縁膜6（および第2層間絶縁膜4）の形成時に、有機絶縁膜を堆積しようとする面上に、溶剤にポリアリルエーテル系高分子のほか、シリル

化剤であるDMS DMAを10質量%ほど溶かした液体材料を回転塗布し、130°Cで90秒間基板を加熱して溶剤を飛ばし、その後、基板を300°Cで1時間ほど加熱してキュアする。これにより、シリル化剤が含有した有機系層間絶縁膜が容易に形成される。シリル化剤の含有率は、当該有機系絶縁材料の比誘電率があまり大きくならないように決められる。

この有機形層間絶縁膜は、シリル化剤が含有、または一部シリル化しているので、シリル化処理を省くことができる。その後、第1実施形態と同様にして、酸素プラズマに基板をさらすだけで、ホール内壁に酸化シリコンからなる保護層が容易に形成される。

【0054】

上述した第1～第4実施形態では、配線層上にさらにデュアルダマシン構造の配線層を形成する場合を図示して示すが、基板上に当該デュアルダマシン構造の配線層を形成する場合にも同様に適用できる。

また、前述したようにエッチングストップ膜3、5およびハードマスク膜7、7'は、場合によっては省略できる。ただし、中間のエッチングストップ膜5は、ドライエッチングの制御性を容易にする意味で、できるだけ設けることが望ましい。

さらに、ヴィアホール底面に埋め込む有機物は、反射防止膜材料に限定されない。たとえば、配線溝形成時のフォトリソグラフィ工程で、下層膜とSi含有レジスト、あるいは下層膜とSOG (Spin On Glass) と上層レジストを用いた多層レジストプロセスを採用した場合、その下層膜をヴィアホール底部に残すようにしてもよい。すなわち、下層膜のドライエッチング時に、その下層膜の一部をホール底部に残し、これをドライエッチングストップとして用いてもよい。

また、上述した4つの実施形態ではシリル化工程で酸素プラズマにさらして酸化シリコンからなる保護層を形成したが、これは一例であり、例えば窒素プラズマまたは窒素ラジカルにさらして窒化シリコンからなる保護層を形成してもよい。

その他、本発明の趣旨を逸脱しない範囲で、種々の変形が可能である。

【0055】

【発明の効果】

本発明によれば、シリル化という簡単な工程を追加するだけで、有機系の層間絶縁膜に一旦形成した開口部を、その後の有機系材料の除去工程などにおいて保護できる。このため、無機系絶縁材料より低い比誘電率の有機系の層間絶縁膜の加工時のパターン精度を高く維持できる。また、この開口部に導電材料を埋め込むような場合、その導電材料を良好に埋め込むことができる。その結果、有機系の層間絶縁膜の導入が容易となり、無機系層間絶縁膜を有した半導体装置に比べ消費電力が低く高速な半導体装置が容易に実現できる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る半導体装置の配線構造の断面図である。

【図2】

本発明の第1実施形態に係る半導体装置の製造において、ハードマスク膜の形成後の断面図である。

【図3】

本発明の第1実施形態に係る半導体装置の製造において、ヴィアホール形成後の断面図である。

【図4】

本発明の第1実施形態に係る半導体装置の製造において、シリル化後の断面図である。

【図5】

本発明の第1実施形態に係る半導体装置の製造において、保護層形成後の断面図である。

【図6】

本発明の第1実施形態に係る半導体装置の製造において、配線溝パターンを有したレジスト形成後の断面図である。

【図7】

本発明の第1実施形態に係る半導体装置の製造において、有機系反射防止膜の一

部除去後の断面図である。

【図8】

本発明の第1実施形態に係る半導体装置の製造において、ハードマスク層の一部除去後の断面図である。

【図9】

本発明の第1実施形態に係る半導体装置の製造において、配線溝形成後の断面図である。

【図10】

本発明の第1実施形態に係る半導体装置の製造において、エッチングストップ膜の一部除去形成後の断面図である。

【図11】

本発明の第2実施形態に係る半導体装置の製造において、シリル化後の断面図である。

【図12】

本発明の第2実施形態に係る半導体装置の製造において、配線溝形成後の断面図である。

【図13】

本発明の第2実施形態に係る半導体装置の製造において、銅のC.M.P.後の断面図である。

【図14】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、ハードマスク膜の形成後の断面図である。

【図15】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、ヴィアホール形成後の断面図である。

【図16】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、有機系物質の埋め込み後の断面図である。

【図17】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、配線溝パターンを有したレジスト形成後の断面図である。

【図18】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、配線溝形成後の断面図である。

【図19】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、レジストおよび樹脂の除去後の断面図である。

【図20】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、エッチングストップ膜の一部除去後の断面図である。

【図21】

従来の先ヴィアタイプのデュアルダマシン構造の形成において、銅のCMP後の断面図である。

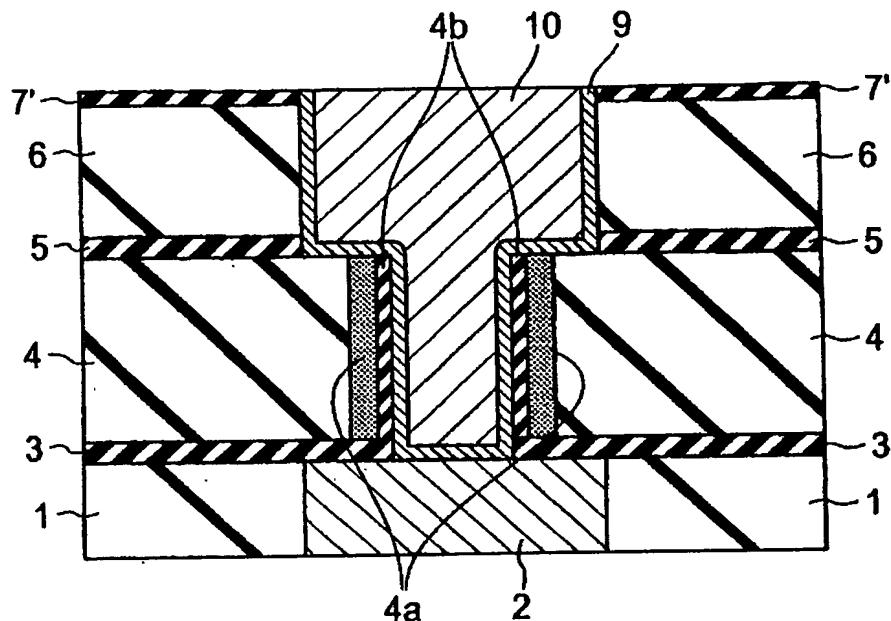
【符号の説明】

1 … 第1層間絶縁膜、 2 … 下層配線層、 3, 5 … エッチングストップ膜、 4 … 第3層間絶縁膜、 6 … 第3層間絶縁膜、 4 a, 6 a …シリル化層、シリル化拡散層または混合層、 4 b, 6 b …酸化シリコン層（保護層）、 7, 7' … ハードマスク膜、 8, 8 a, 8 b …有機系反射防止膜（有機膜）、 9 …バリアメタル層、 10 …銅、 40 …第2層間絶縁膜、 R … レジスト、 VH … ヴィアホール

【書類名】

図面

【図1】



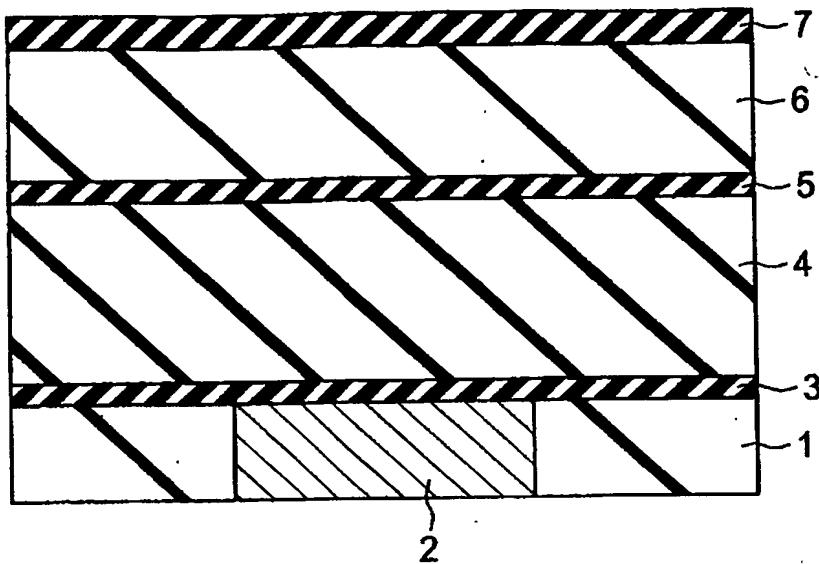
4,6 : 有機系の層間絶縁膜

4a : シリル化による改質層

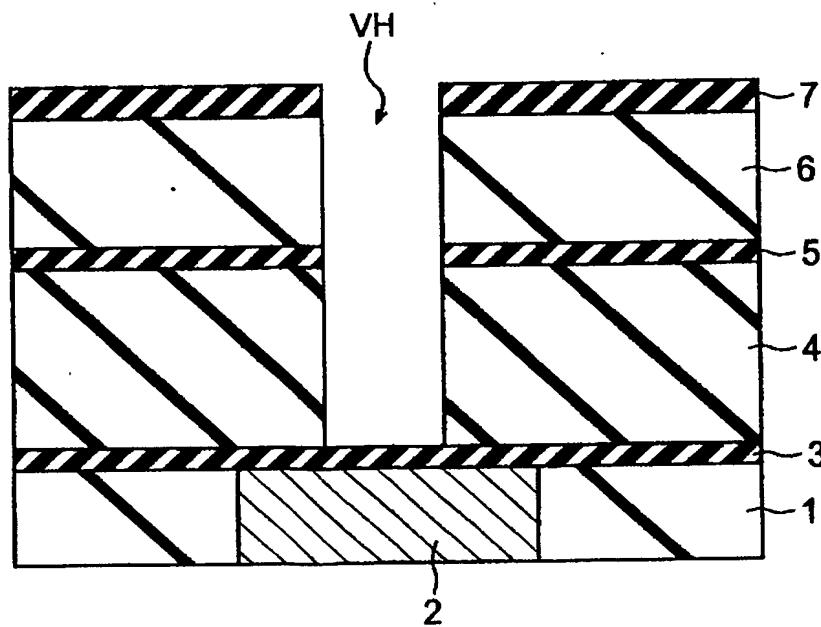
4b : 保護層

3,5 : エッティングストップ膜

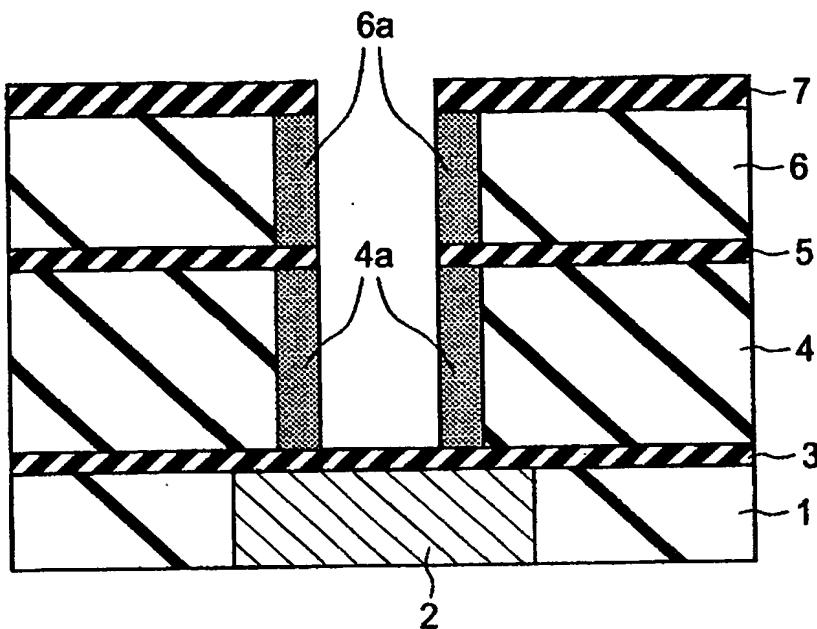
【図2】



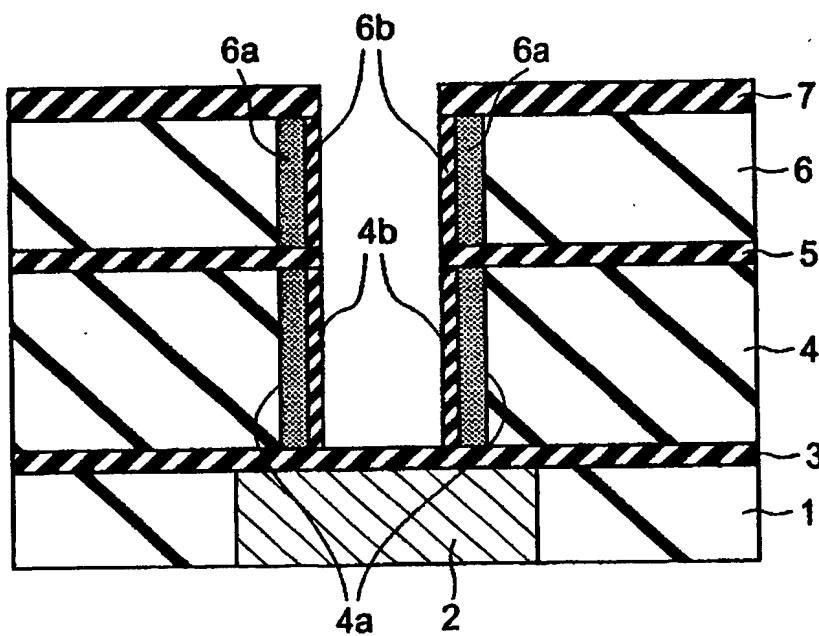
【図3】



【図4】

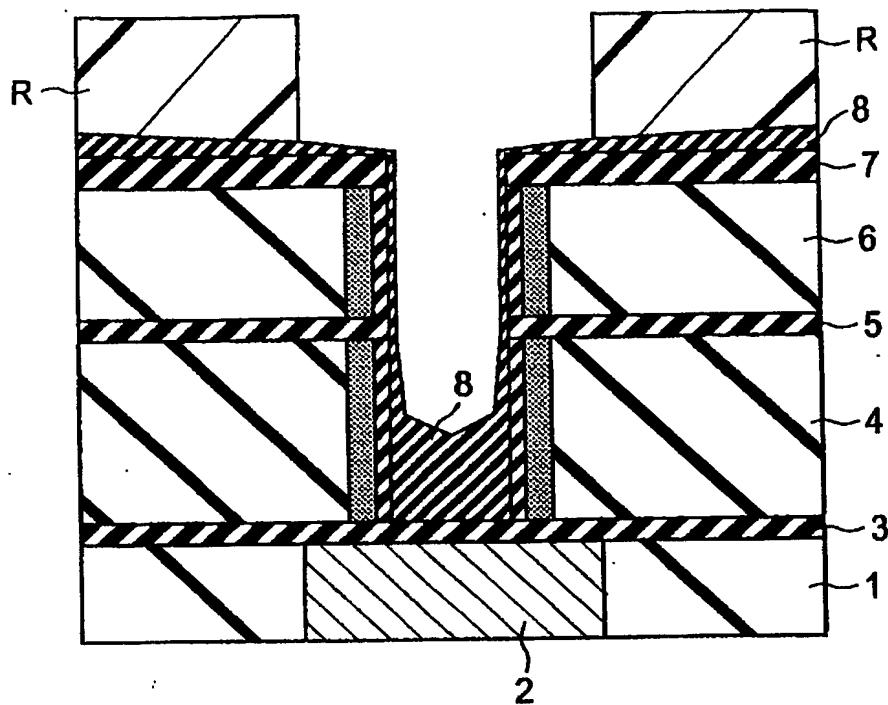


【図5】

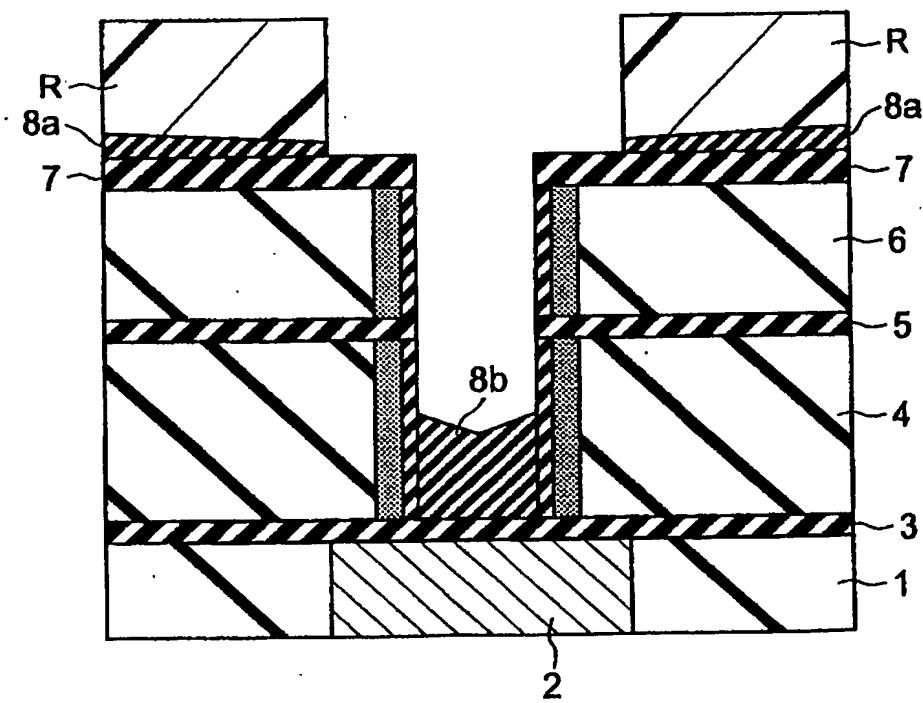


4,6 : 有機系の層間絶縁膜
 4a,6a : シリル化による改質層
 4b,6b : 保護層
 3,5 : エッティングストップ膜

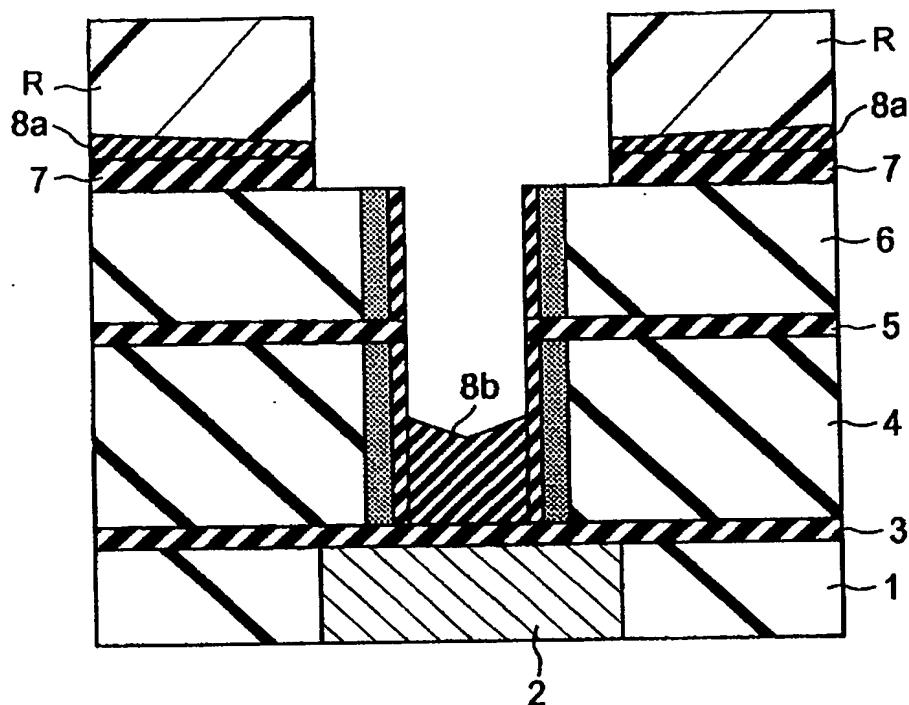
【図6】



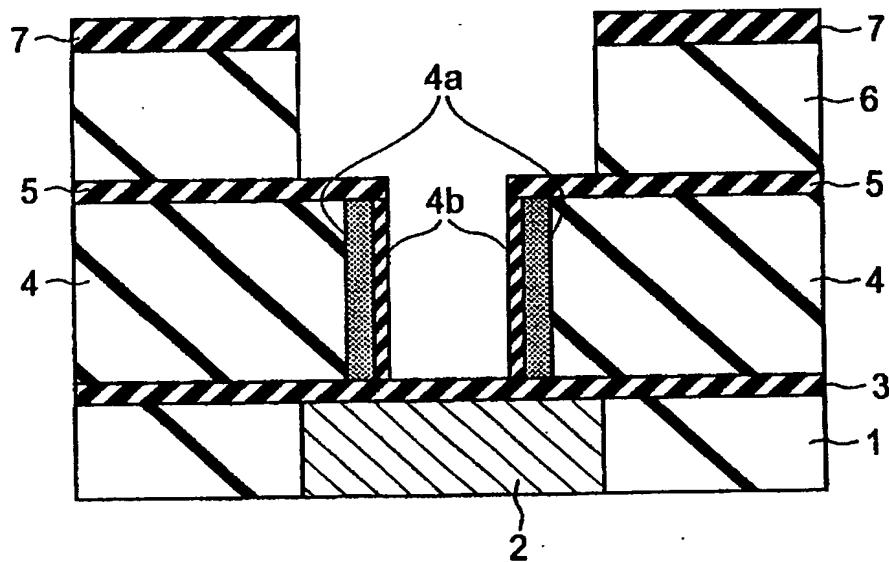
【図7】



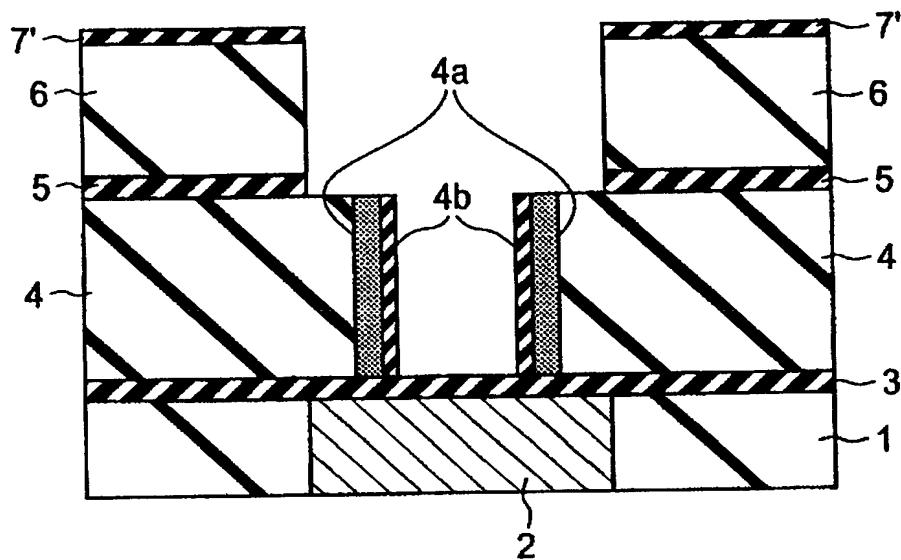
【図8】



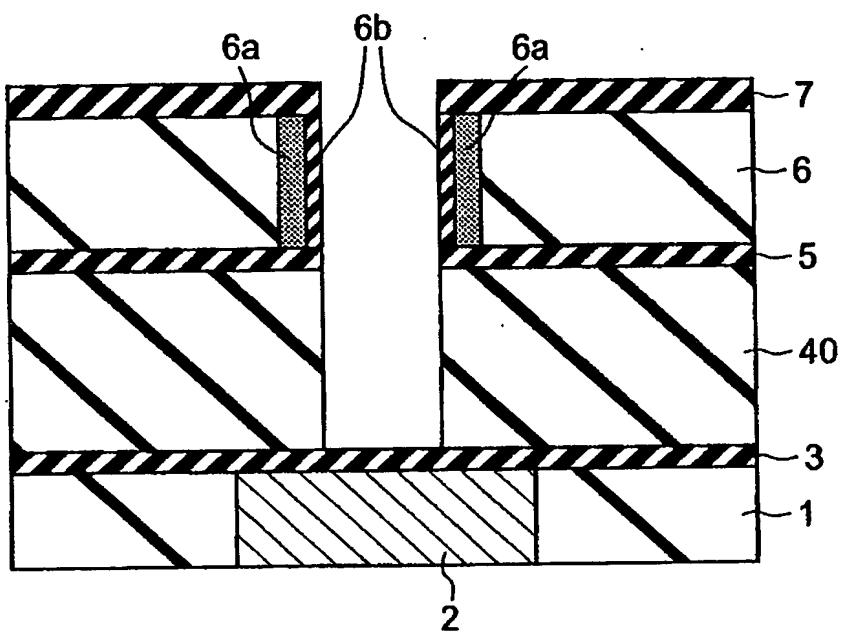
【図9】



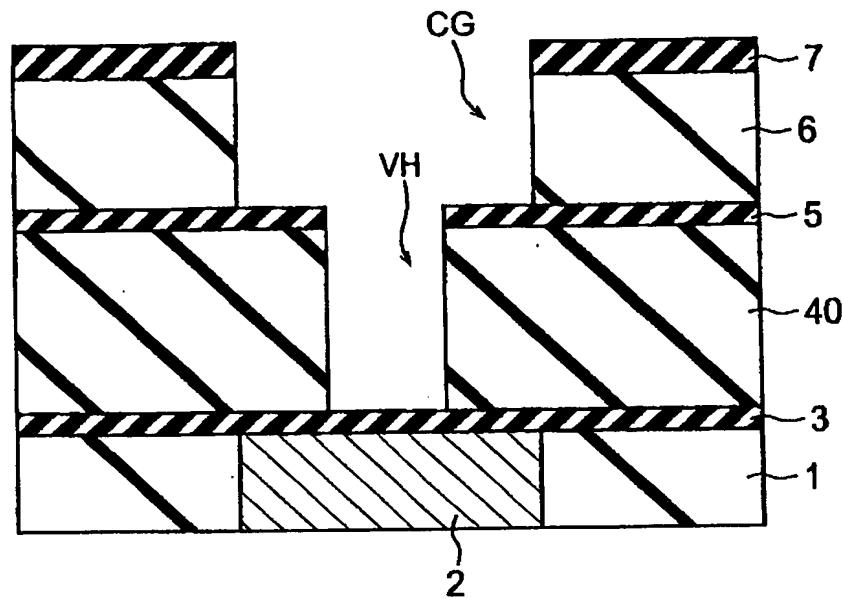
【図10】



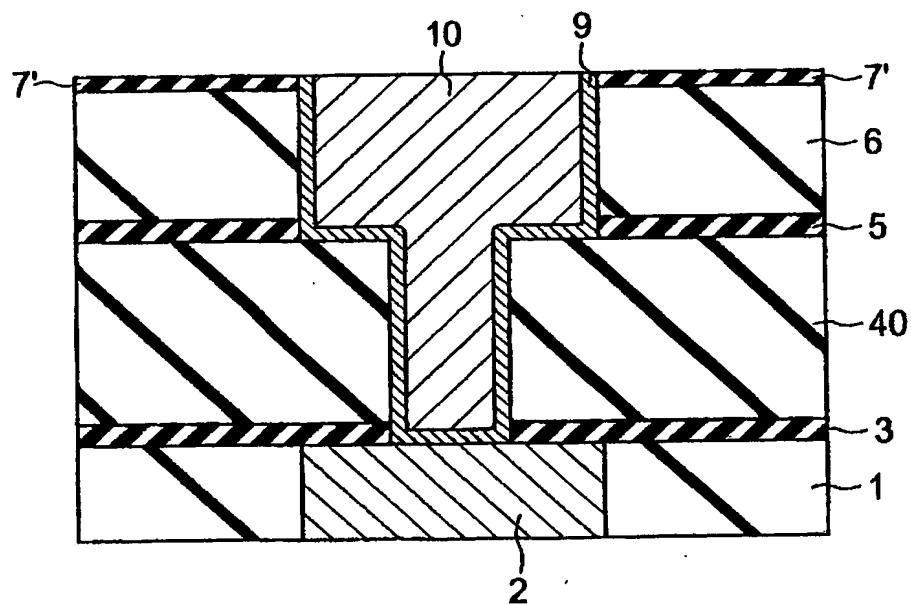
【図11】



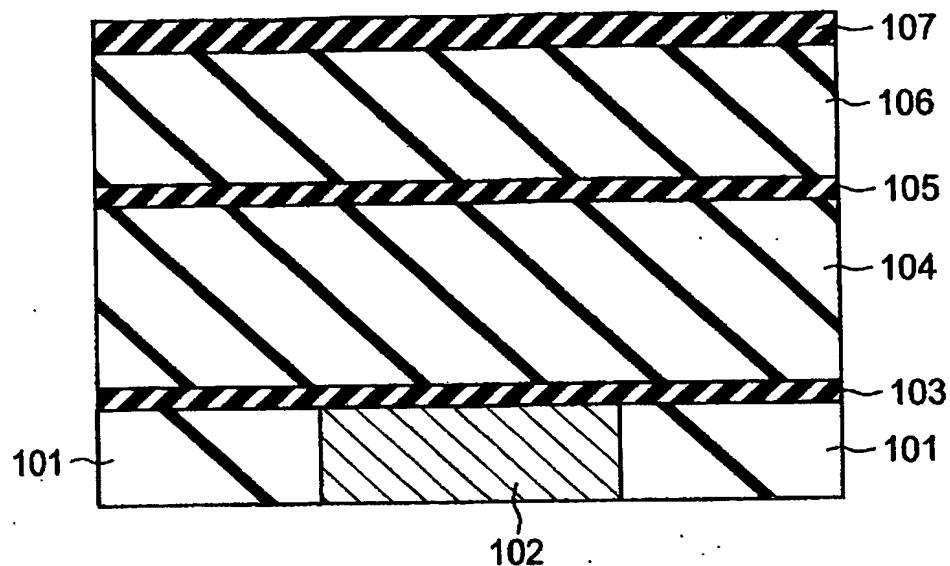
【図12】



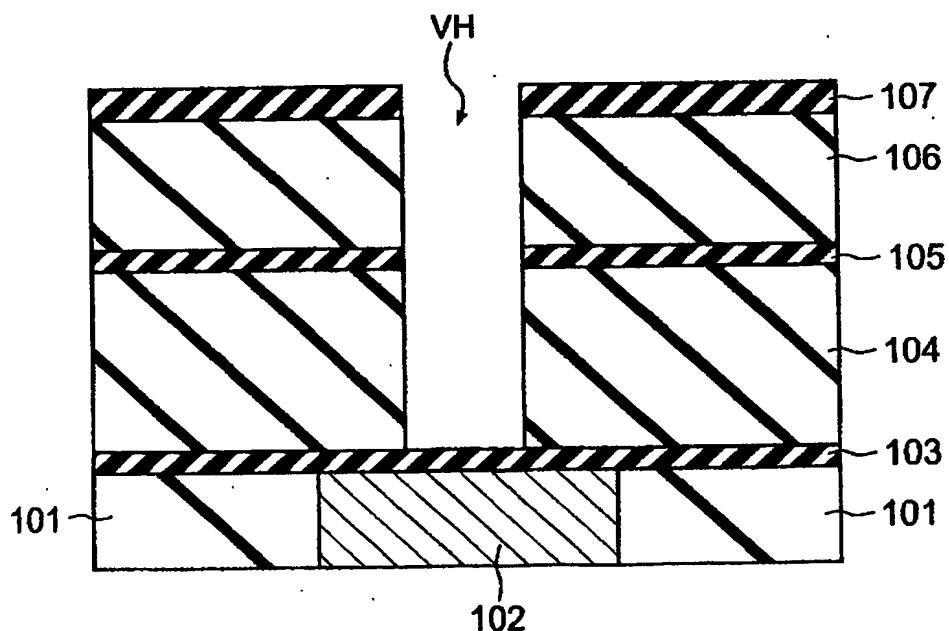
【図13】



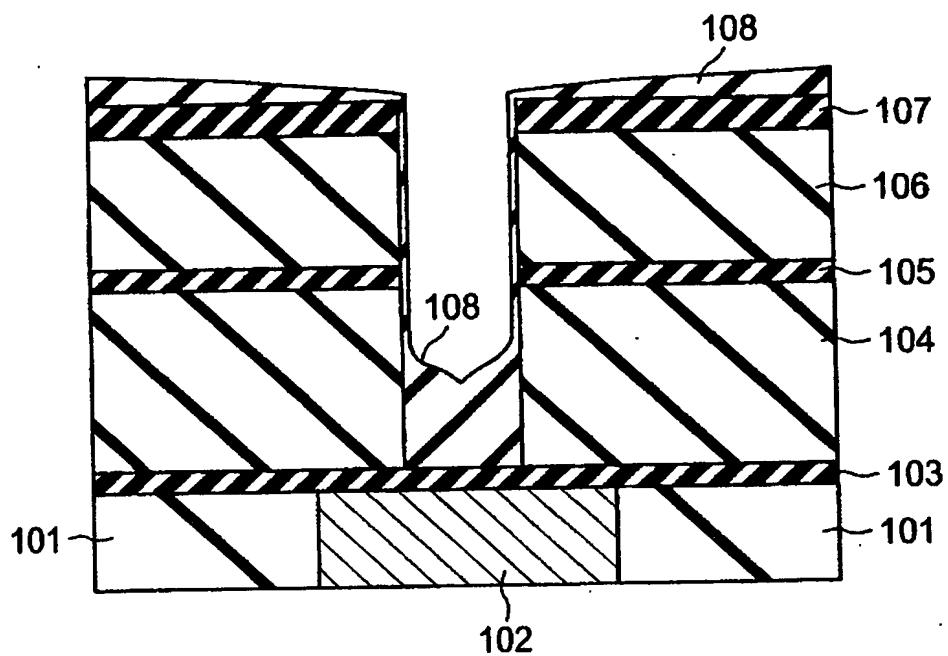
【図14】



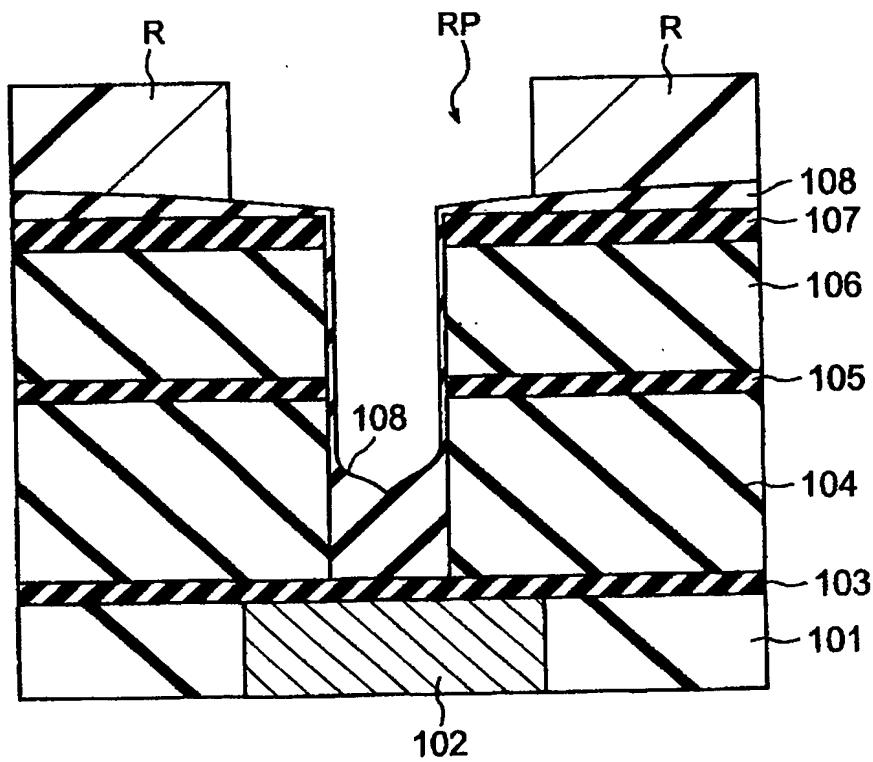
【図15】



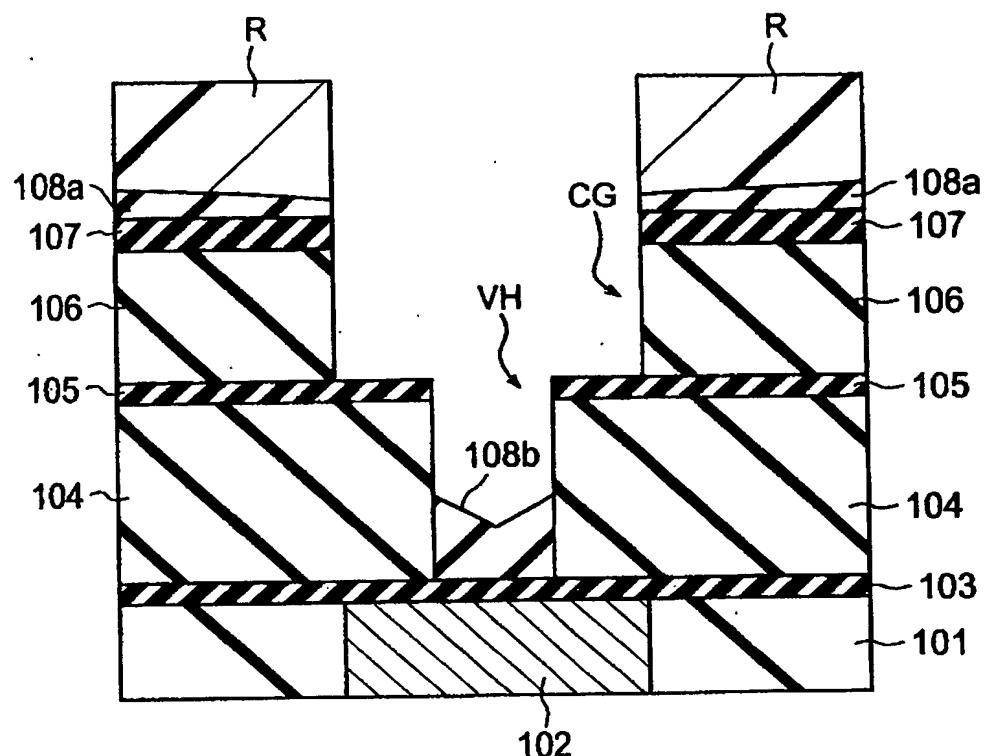
【図16】



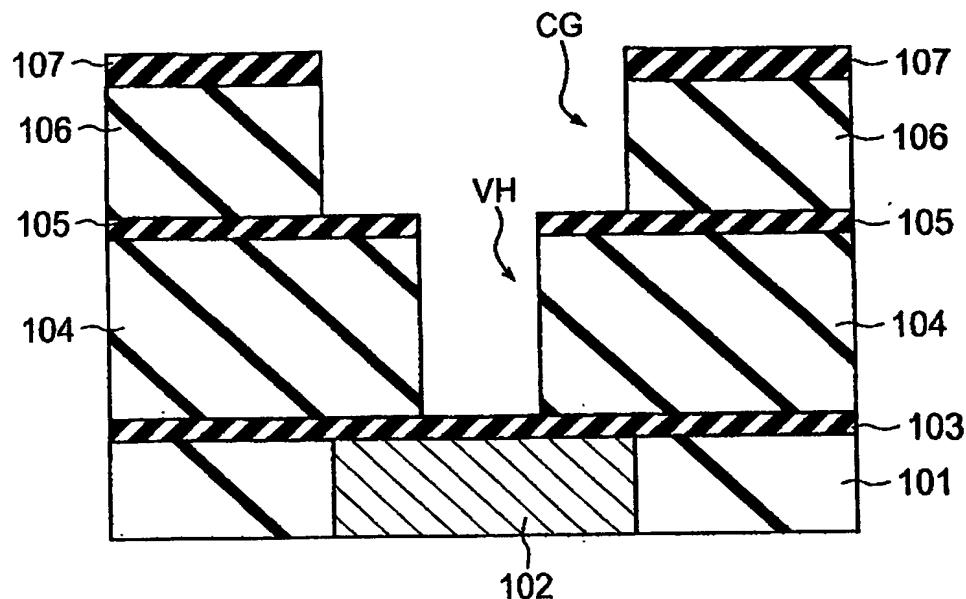
【図17】



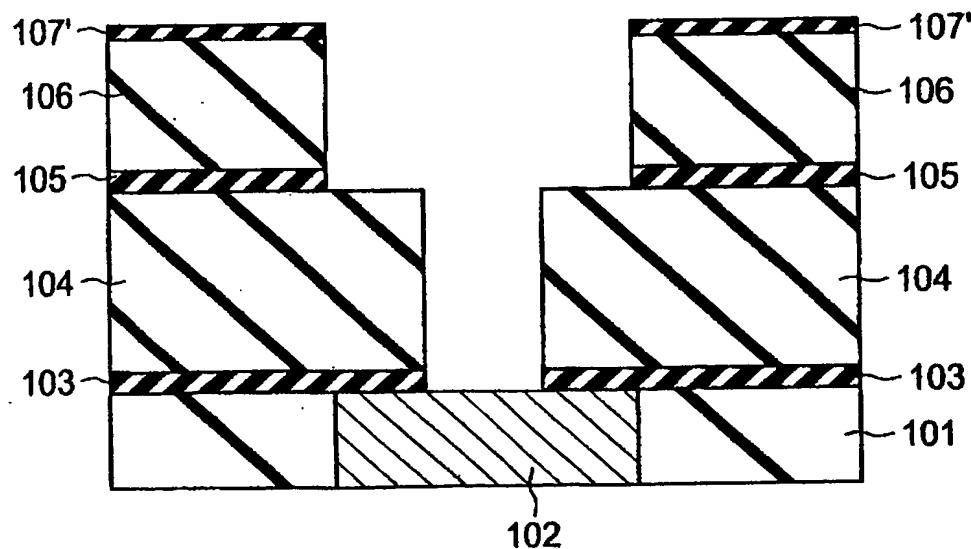
【図18】



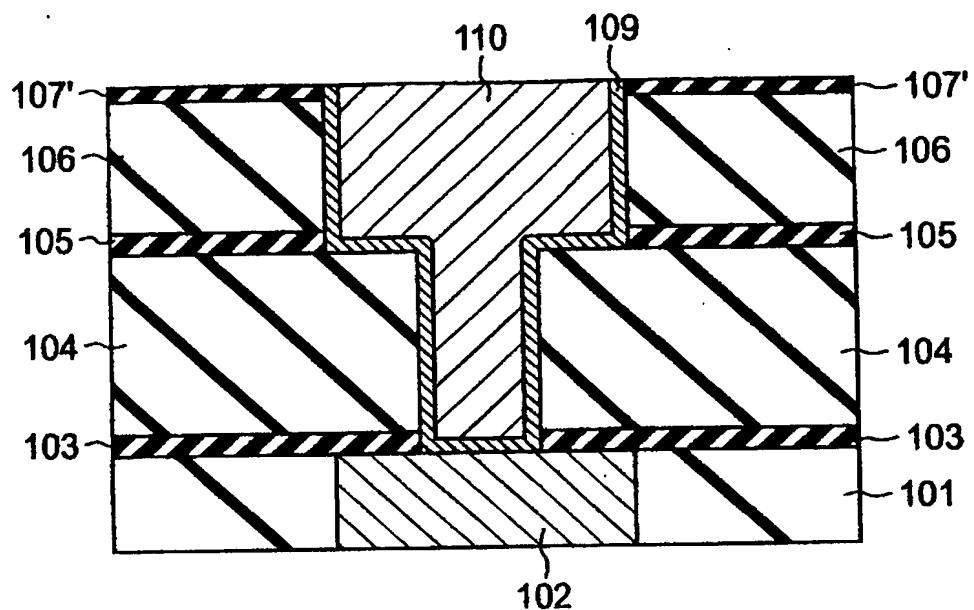
【図19】



【図20】



【図21】



【書類名】 要約書

【要約】

【課題】 既に形成した有機系の層間絶縁膜の開口部内壁が、他の有機系材料のエッティング時に変質したり削れる。

【解決手段】 有機系の層間絶縁膜4，6を堆積する工程と、有機系の層間絶縁膜4，6に開口部を形成する工程と、開口部内で露出した有機系の層間絶縁膜4，6の壁面部をシリル化して改質する（シリル化による改質層4a，6aを形成する）工程とを含む。シリル化された開口部壁面の表面に、無機系絶縁材料からなる保護層4b，6bを形成すると、さらに望ましい。

【選択図】 図5

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社